

PATENT ABSTRACTS OF JAPAN

#4

(11)Publication number : 61-150061
 (43)Date of publication of application : 08.07.1986

(51)Int.Cl. G06F 15/16

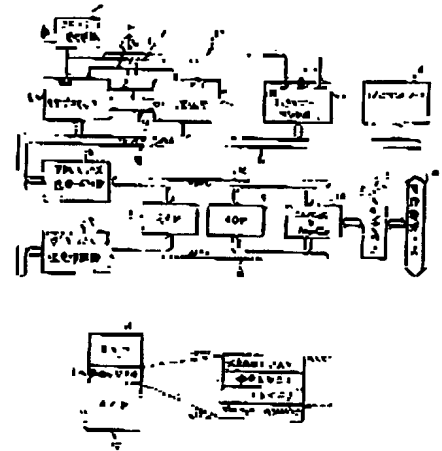
(21)Application number : 59-275665 (71)Applicant : PANAFACOM LTD
 (22)Date of filing : 25.12.1984 (72)Inventor : SHIMIZU YASUO

(54) PROCESSOR LINKING SYSTEM

(57)Abstract:

PURPOSE: To receive securely an answer from a subprocessor by stopping the action of a main processor irrespective of software when the answer necessary for the main processor is not outputted.

CONSTITUTION: When the main processor 1 asks the subprocessor 2 to process data, the main processor 1 confirms that the subprocessor 2 is not operating. Then the main processor 1 sets the address of an area where a parameter necessary for the subprocessor 2 is stored, and the subprocessor 2 is activated. When it is activated, it reads contents of a control register, set a busy flag to a state indicating, register, executes the asked work and sets a signal on an interrupting signal line 17 to '1'. If the main processor 1 accesses addresses KKKKWLLLL while the subprocessor 2 is processing, the subprocessor 2 sets a signal on a main processor stop control line 17 to '1' to stop the action of the main processor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAA4ra4wIDA361150061D1.htm>

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 昭61-150061

⑫ Int. Cl.⁴

G 06 F 15/16

識別記号

庁内整理番号

L-6619-5B

⑬ 公開 昭和61年(1986)7月8日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 プロセッサ結合方式

⑮ 特 願 昭59-275665

⑯ 出 願 昭59(1984)12月25日

⑰ 発 明 者 清水 康 雄

⑱ 出 願 人 パナフアコム株式会社

⑲ 代 理 人 弁理士 京谷 四郎

大和市深見西4丁目2番49号 パナフアコム株式会社内
大和市深見西4丁目2番49号

明 細 書

1. 発明の名称

プロセッサ結合方式

2. 特許請求の範囲

・複数のプロセッサと、これら複数のプロセッサを接続する単一バスとを具備する情報処理システムにおいて、サブプロセッサが処理を行っている最中にメイン・プロセッサが所定のアドレス領域にアクセスすると上記メイン・プロセッサを停止させる手段を設けたことを特徴とするプロセッサ結合方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、単一バスに接続された複数のプロセッサを具備する情報処理システムにおいて、サブプロセッサが動作中にメイン・プロセッサが所定のアドレス領域にアクセスすると、サブプロセッサがメイン・プロセッサを停止させるようにしたプロセッサ結合方式に関するものである。

(従来技術と問題点)

従来のプロセッサ結合方式には、共有メモリを使用した結合方式と、サブプロセッサを1つのI/O装置と見做した方式とがある。共有メモリ方式はマイクロプロセッサのような小型で安価なシステムにはコスト面及びソフトウェアのオーバーヘッドが大きいという面で問題がある。後者のI/O結合方式では、サブプロセッサがメイン・プロセッサから依頼された処理を終了すると、サブプロセッサは割込みで以て処理終了をメイン・プロセッサに通知し、この通知を受け取るとメイン・プロセッサは制御レジスタを参照して処理結果を読み取るが、サブプロセッサの処理が終了しないのにメイン・プロセッサは制御レジスタを参照して処理結果の読み取りを行おうとすることがある。このような事態が発生すると、メイン・プロセッサは正しい答を得ることが出来なくなる。

(発明の目的)

特開昭61-150061(2)

本発明は、上記の考察に基づいたものであって、メイン・プロセッサの処理に必要な答が出力されていない場合にはメイン・プロセッサの動作をソフトウェアが関知せずに停止出来るようになったプロセッサ結合方式を提供することを目的としている。

(目的を達成するための手段)

そしてそのため本発明のプロセッサ結合方式は、複数のプロセッサと、これら複数のプロセッサを接続する単一バスとを具備する情報処理システムにおいて、サブプロセッサが処理を行っている最中にメイン・プロセッサが所定のアドレス領域をアクセスすると、上記メイン・プロセッサを停止させる手段を設けたことを特徴としている。

(発明の実施例)

以下、本発明を図面を参照しつつ説明する。第1図は本発明の1実施例のブロック図、第2図はメモリ・マップと制御レジスタの詳細を示す図である。図において、1はメイン・プロセッサ、2はサブプロセッサ、3はインタラプト・コントロ

ーラ、4はバス・コントローラ、5はクロック発生回路、6はアドレス・バス送受信回路、7はデータ・バス送受信回路、8はRAM、9はROM、10は制御レジスタ、11はバス・インタフェース、12はアドレス・データ・バス、13はアドレス・バス、14はデータ・バス、15は同期信号線、16はクロック線、17は割込信号線、18はメイン・プロセッサ停止制御線、19は外部接続バスをそれぞれ示している。

メイン・プロセッサ1、サブプロセッサ2、インタラプト・コントローラ3及びバス・コントローラ4はアドレス・データ・バス12に接続されている。メイン・プロセッサ1は特定の処理、例えば浮動小数点演算についてはサブプロセッサ2に処理を依頼する。インタラプト・コントローラ3は、割込み処理を行うものであって、割込信号IRがオンすると、対応する割込処理ルーチンの先頭アドレスを用意し、メイン・プロセッサ1に割込みをかける。バス・コントローラ4は、バス支配権の割当を行うものである。クロック発生

回路5は、メイン・プロセッサ1及びサブプロセッサ2に対してクロックを供給するものである。アドレス・バス送受信回路6は、アドレス・データ・バス12上のアドレスをアドレス・バス13に伝えるときに、アドレス・バス13上のアドレスをアドレス・データ・バス12に伝えるものである。データ送受信回路7は、アドレス・データ・バス12上のデータをデータ・バス14に伝えると共に、データ・バス14上のデータをアドレス・データ・バス12に伝えるものである。RAM8は、作業領域やバッファ等として使用されるものである。ROM9には、各種のプログラムが格納される。制御レジスタ10は、第2図に示すように、状態表示レジスタ、命令レジスタ、ソースレジスタ、ディスティネーション・レジスタ等から構成されている。同期信号線15は、例えばメイン・プロセッサ1がサブプロセッサ2を起動するために使用される。サブプロセッサ2は、メイン・プロセッサ2から依頼された処理が完了すると、割込信号線17の信号をオンする。第2

図でアドレスKKKK~LLLLはメイン・プロセッサ1のメモリ・マップ上に割当てられたアドレス、MMMM~NNNNはサブプロセッサ2からアクセス可能なアドレスを示している。

メイン・プロセッサ1はサブプロセッサ2に処理（例えば浮動小数点演算）を依頼するとき、状態表示レジスタの内容を調べサブプロセッサ2が動作中でない（ビジーでない）ことを確認した後、ソースレジスタにサブプロセッサ2が処理を行うために必要なパラメータが格納されている領域のアドレスをセットし、ディスティネーション・レジスタに処理結果を格納する領域のアドレスをセットし、しかる後に命令レジスタに処理の内容を示すコードをセットし、サブプロセッサ2を起動する。サブプロセッサ2は、起動されると、制御レジスタの内容を読み込み、状態表示レジスタにビジーのフラグを立て、依頼された処理を実行し、処理結果をディスティネーション・レジスタで指定された領域に書き込んだ後に、割込信号線17上の信号をオンする。

特開昭61-150061(3)

サブプロセッサ2が処理を実行している最中、即ちビジィのときにメインプロセッサ1がアドレスKKKK〜LLLLをアクセスすると、サブプロセッサ2はメイン・プロセッサ停止制御線18上の信号をオンとする。制御線18の信号は、アドレス・データ・バス12上のアドレスがKKKK〜LLLLの時にオンを出力するデコードの出力信号と、サブプロセッサ2のビジィ信号との論理積を取ることにより得られる。このメイン・プロセッサ停止制御線18はメイン・プロセッサ1のHALT端子に接続されている。その後、サブプロセッサ2はメイン・プロセッサ停止制御線18上の信号をオフし、到達信号線17上の信号をオンする。プロセッサの中にはHALT信号(制御線18の信号)がオフでも到達を受け得るものがあるので、HALT信号をオフせずにメイン・プロセッサ1に到達をかけることも可能である。上記の説明では、サブプロセッサが1個であったが、勿論複数であっても良い。また、プロセッサは8ビット系、16ビット系、32ビット

系の何れであっても良い。

(発明の効果)

以上の説明から明らかなように、本発明によれば、ソフトウェアに関係なくサブプロセッサとメインプロセッサの同期を取ることが出来、これによりメイン・プロセッサはサブプロセッサからの答を確実に受け取ることが出来る。

4. 図面の簡単な説明

第1図は本発明の1実施例のブロック図、第2図はメモリ・マップと制御レジスタの詳細を示す図である。

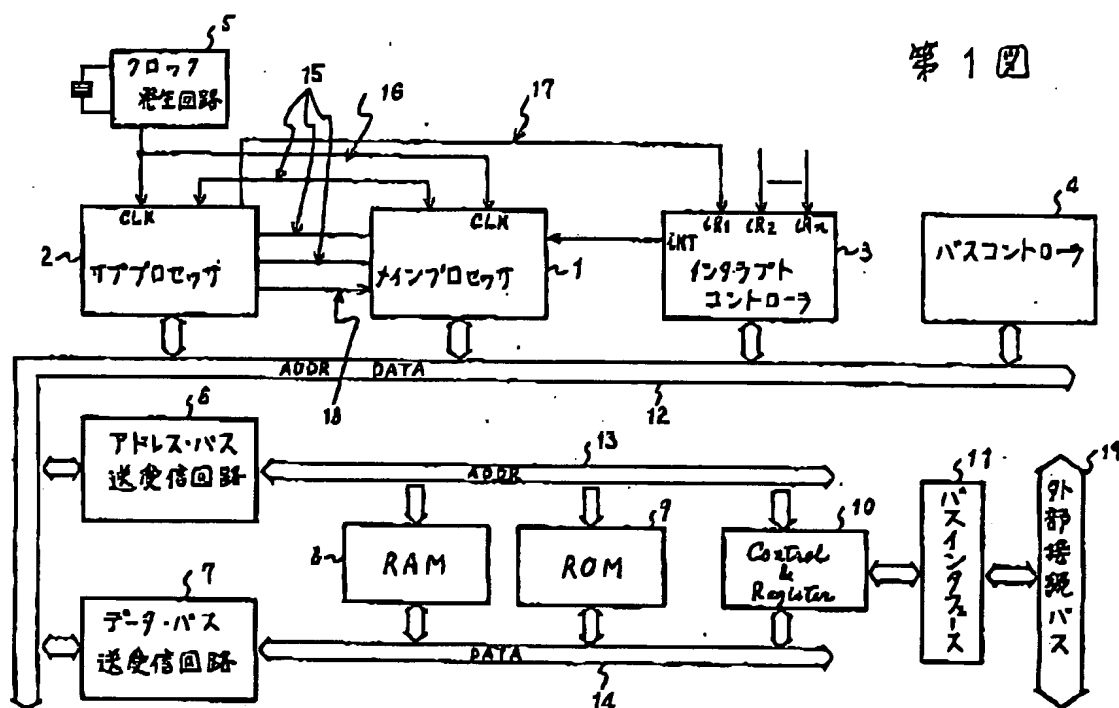
1…メイン・プロセッサ、2…サブプロセッサ、3…インタラプト・コントローラ、4…バス・コントローラ、5…クロック発生回路、6…アドレス・バス送受信回路、7…データ・バス送受信回路、8…RAM、9…ROM、10…制御レジスタ、11…バス・インタフェース、12…アドレス・データ・バス、13…アドレス・バス、14…データ・バス、15…同期信号線、16…クロ

ック線、17…到達信号線、18…メイン・プロセッサ停止制御線、19…外部接続バス。

特許出願人 パナファコム株式会社
代理人弁理士 京 谷 四 郎

特開昭61-150061(4)

第1図



第2図

